

⑨ 日本国特許庁(JP)

⑩ 許出願公開

⑪ 公開特許公報(A) 昭60-164362

⑫ Int. Cl.<sup>4</sup>

H 01 L 29/78  
27/12  
29/62

識別記号

庁内整理番号

8422-5F  
8122-5F

⑬ 公開 昭和60年(1985)8月27日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭59-19754

⑯ 出 願 昭59(1984)2月6日

⑰ 発 明 者 大 嶋 健 文 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑱ 発 明 者 林 久 雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
⑳ 代 理 人 弁理士 小 池 晃 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

絶縁性基板上に多結晶シリコン層を形成する工程と、この多結晶シリコン層表面に熱酸化膜を形成する工程と、この熱酸化膜上にCVD法により酸化膜を形成する工程と、CVD法による上記酸化膜上にゲート電極を形成したのちこのゲート電極をマスクとしてソース領域およびドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の製造方法に関し、特にたとえば薄膜トランジスタのゲート用酸化膜の特性の向上を図った半導体装置の製造方法に関する。

〔背景技術とその問題点〕

半導体装置のたとえば薄膜トランジスタ(TFT)は、絶縁性基板上に酸化膜を介して被着形成

した多結晶シリコン層上にゲート用酸化膜が形成され、この酸化膜上に形成されたゲート電極をマスクとしてソース領域、ドレイン領域が形成された構成となっている。第1図には石英ガラス等の絶縁性基板1上に形成された薄膜トランジスタの平面図が示されており、ゲート電極2下部のチャンネル活性領域の両側部にソース3とドレイン4が形成されている。

ところで、従来は上記ゲート用酸化膜を形成するにあたり、熱酸化法が用いられていた。第2図は、この熱酸化法によりゲート用酸化膜を形成した薄膜トランジスタについて第1図のI-I線断面図を拡大して示している。この第2図において、絶縁性基板1上にSiO<sub>2</sub>の酸化膜5を介して被着形成された上記活性領域である島状の多結晶シリコン層6の表面には、上記熱酸化法によりSiO<sub>2</sub>のゲート用酸化膜7が形成されている。ここで、第2図に示すように、多結晶シリコン層6の上面には、上記酸化膜7がよく形成されているが、多結晶シリコン層6のエッジ部は熱酸化されにくく、

エッチ部に形成されたゲート用酸化膜7 Aは膜厚が薄くなっている。このため、このゲート用酸化膜7 A部分から大きなリーク電流が流れたり、この部分において電氣的破壊が発生するという不具合が生じる。

また、熱酸化法により形成したゲート用酸化膜7の表面は均一とはならず、凹凸状態となるため、膜厚の薄い部分に集中した電界により酸化膜7が破壊されることがある。このため、熱酸化法により形成する上記酸化膜7は膜厚を厚くする必要がある。

さらに、無酸化法においては、ゲート用酸化膜7および多結晶シリコン層6の膜厚の制御が難しいという問題点がある。これは、多結晶シリコン層6の表面上に上記酸化膜7を形成する場合に、多結晶シリコン層6の内部にも酸化が進行することになり、第3図に示すように、膜厚Dのゲート用酸化膜7を形成するには、多結晶シリコン層6内部に進行して形成される膜厚 $D_1$ の酸化膜と多結晶シリコン層6上に形成される膜厚 $D_2$ の酸化膜

を考える必要がある。このため、多結晶シリコン層6の実質的な膜厚としてSを得ようとする、上記酸化膜5上に膜厚 $T$  ( $T = S + D$ )とする)の多結晶シリコン層6を形成し、この多結晶シリコン層6表面に熱酸化法により膜厚Dのゲート用酸化膜7を形成する必要がある。しかし、上記酸化膜5上に形成される多結晶シリコン層6の形成膜厚誤差をたとえば10%とし、上記ゲート用酸化膜7の形成膜厚誤差をたとえば10%とすると、多結晶シリコン層6は $T \times 0.9 \sim T \times 1.1$ の膜厚に亘って形成され、多結晶シリコン層6の内部に進行するゲート用酸化膜は $D_1 \times 0.9 \sim D_1 \times 1.1$ の膜厚に亘って形成されるようになる。このため、悪い条件においては、実質的な多結晶シリコン層6の膜厚Sが、

$$T \times 0.9 - D_1 \times 1.1 = S_1$$

$$T \times 1.1 - D_1 \times 0.9 = S_2$$

より、 $S_1 \sim S_2$ の膜厚の範囲にばらつくことになり、精度のある膜厚Sの多結晶シリコン層6を

得ることが困難となる。これは、得ようとする実質的な多結晶シリコン層6の膜厚Sが薄く、上記酸化膜5上に形成する多結晶シリコン層6の膜厚T、およびゲート酸化膜7の膜厚Dが厚ければ厚い程、この実質的な多結晶シリコン層6の膜厚Sの制御が難しくなる。

また、上記酸化膜5上に始めに形成された多結晶シリコン層6の膜厚Tが薄い場合には、この多結晶シリコン層6の表面に形成するゲート用酸化膜7を所定の膜厚Dに形成する膜厚制御が困難となる。

そこで、特開昭58-115862号公報に記載されているように、上記ゲート用酸化膜をCVD法により形成し、その後酸素雰囲気中で熱処理するという方法が考えられる。しかし、この方法では、上記多結晶シリコン層上にCVD法によりゲート用酸化膜を形成するため、多結晶シリコン層とゲート用酸化膜との界面すなわち多結晶シリコン層表面に不飽和結合(ダングリングボンド)が残る、トラップとなる界面単位が多く形成され

るという問題点が生じる。この界面単位の影響によって、薄膜トランジスタのしきい値電圧 $V_{th}$ が大きくなってしまい、トランジスタの特性が悪化する。

このように、従来の半導体装置の製造方法においては、ゲート用酸化膜からのリーク電流が多かったり、多結晶シリコン層とゲート用酸化膜の膜厚制御が難しかったり、界面単位が多く形成されてしまうという問題点があった。

#### [発明の目的]

そこで、本発明はこのような実情に鑑み提案されたものであり、ゲート用酸化膜からのリーク電流がなく、絶縁性基板上に酸化膜を介して形成される多結晶シリコン層、およびゲート用酸化膜の膜厚の制御が容易であり、多結晶シリコン層とゲート用酸化膜との界面に界面単位が形成されない半導体装置の製造方法を提供することを目的とする。

#### [発明の概要]

この目的を達成するために、本発明の半導体装

電の製造方法は、絶縁性基板上に多結晶シリコン層を形成する工程と、この多結晶シリコン層表面に熱酸化膜を形成する工程と、この熱酸化膜上にCVD法により酸化膜を形成する工程と、CVD法による上記酸化膜上にゲート電極を形成したのちこのゲート電極をマスクとしてソース領域およびドレイン領域を形成する工程とを有することを特徴とする。

#### 〔実施例〕

以下、本発明の一実施例を図面に基づき説明する。

第4図A乃至第4図Jは、本発明に係る半導体装置の製造方法によって薄膜トランジスタを作製する工程を順に示す断面図である。

以下、工程を順に説明すると、まず、第4図Aに示すように、石英ガラス等からなる絶縁性基板10上に $\text{SiO}_2$ の酸化膜11をCVD (chemical vapor deposition ; 化学気相成長) 法等によりたとえば5000Åの厚さに形成する。

つぎに、第4図Bに示すように、上記酸化膜1

多結晶シリコン層15をゲート電極16とする。

つぎに、その上に、第4図Gに示すようにたとえばリン珪酸ガラス (PSG) 等のシリケートガラス膜17をCVD法等によりたとえば3000Åの厚さに形成する。

つぎに、熱処理することでシリケートガラス膜17中のリンを多結晶シリコン層12内に拡散し、第4図Hに示すように、ゲート電極16を選択拡散のマスクとしたたとえばN型のソース領域18およびドレイン領域19を形成する。

つぎに、第4図Iに示すように、ソース領域18およびドレイン領域19上のシリケートガラス膜17に電極形成用の開孔 (コンタクトホール) 20を設ける。

つぎに、上記開孔20中および周囲にアルミニウム等をたとえば1μmの厚さに蒸着し、その後エッチングすることにより、第4図Jに示すようにソース電極21およびドレイン電極22を形成する。

以上説明したように、本発明によれば、上記多

1上に多結晶シリコン層12をたとえば500Åの厚さにCVD法等で形成する。

つぎに、熱処理することで、第4図Cに示すように、上記多結晶シリコン層12表面にたとえば200Åの厚さの $\text{SiO}_2$ の熱酸化膜13を形成する。

つぎに、CVD法により、第4図Dに示すように、上記熱酸化膜13上にたとえば800Åの厚さの $\text{SiO}_2$ の酸化膜14を形成する。

これにより、上記熱酸化膜13とこの酸化膜14とを合わせて、たとえば1000Åのゲート用の酸化膜30が上記多結晶シリコン層12上に形成される。

つぎに、第4図Eに示すように、不純物としてたとえばP (リン) を添加した不純物添加多結晶シリコン層15をCVD法等により上記酸化膜14上にたとえば3000Åの厚さに形成する。

つぎに、不純物添加多結晶シリコン層15、酸化膜14、および熱酸化膜13を第4図Fに示すようにエッチングすることで、エッチング後の該

結晶シリコン層12表面にまず熱酸化膜13を形成している。このとき、多結晶シリコン層12は上記酸化膜11上に比較的薄く形成され、またこの多結晶シリコン層12表面には薄い熱酸化膜13を形成している。したがって、形成膜厚誤差を考えたとしても、実質的な多結晶シリコン層12の膜厚の制御は容易に行なえる。

また、上記熱酸化膜13上にさらにCVD法により比較的厚い酸化膜14を形成することでゲート用酸化膜30としているため、酸化膜14の膜厚を制御することで、ゲート用酸化膜30の膜厚の制御を容易に行なうことができる。

また、CVD法による酸化膜はリーク電流が少ないという利点があるため、上記ゲート用酸化膜30はリーク電流の発生を防止できる。

また、あらかじめ多結晶シリコン層12表面に上記熱酸化膜13を形成していることで、多結晶シリコン層12とゲート用酸化膜30との界面にトラップとなる界面準位が形成されず、上記薄膜トランジスタのしきい値電圧 $V_{TH}$ が高まるような

ことがない。これは、多結晶シリコン層12表面の界面位となる未結合手すなわち不飽和結合が、熱酸化により酸素に捕らえられてしまうことによるものである。

なお、上述の実施例ではN型の薄膜トランジスタの例を示したが、P型の薄膜トランジスタに本発明を適用してもよい。

#### 〔発明の効果〕

以上の説明から明らかなように、本発明によれば、多結晶シリコン層表面にまず熱酸化膜を形成し、その後この熱酸化膜上にCVD法により酸化膜を形成することで、ゲート用酸化膜としている。このため、多結晶シリコン層およびゲート用酸化膜の膜厚制御が容易に行なえ、またCVD法の酸化膜の長所によりゲート用酸化膜からのリーク電流を防止できる。また、あらかじめ多結晶シリコン層表面に熱酸化膜を形成しているため、多結晶シリコン層とゲート用酸化膜との界面に界面準位が形成されなくなる。このため、従来にみられたようなしきい値電圧 $V_{th}$ の上昇はなく、本発明に

よって作製される薄膜トランジスタの特性が向上される。

#### 4. 図面の簡単な説明

第1図は薄膜トランジスタの平面図、第2図はゲート用酸化膜を熱酸化膜のみにより形成する従来の製造方法によって作製した薄膜トランジスタについての第1図の1-1線断面図、第3図は多結晶シリコン層表面に熱処理によって熱酸化膜が形成される様子を説明する断面図、第4図A乃至第4図Jは本発明の一実施例の半導体装置の製造方法によって薄膜トランジスタを作製する工程を順に示す断面図である。

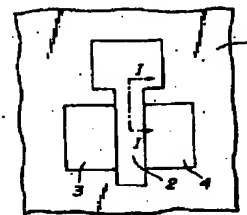
- 10..... 絶縁性基板
- 11..... 酸化膜
- 12..... 多結晶シリコン層
- 13..... 熱酸化膜
- 14..... 酸化膜
- 15..... 不純物添加多結晶シリコン層
- 16..... ゲート電極
- 17..... シリケートガラス膜

- 18..... ソース領域
- 19..... ドレイン領域
- 20..... 開孔
- 21..... ソース電極
- 22..... ドレイン電極
- 30..... ゲート用酸化膜

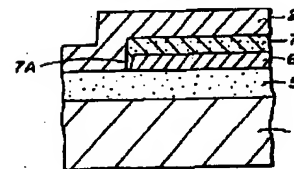
特許出願人 ソニー株式会社

代理人 弁理士 小池 晃  
同 田 村 榮 一

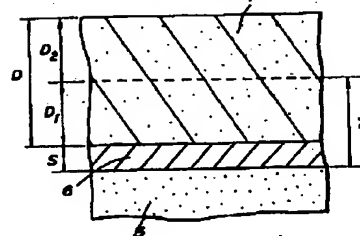
第1図



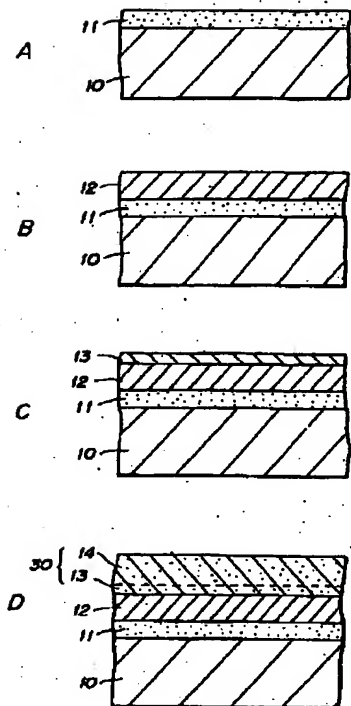
第2図



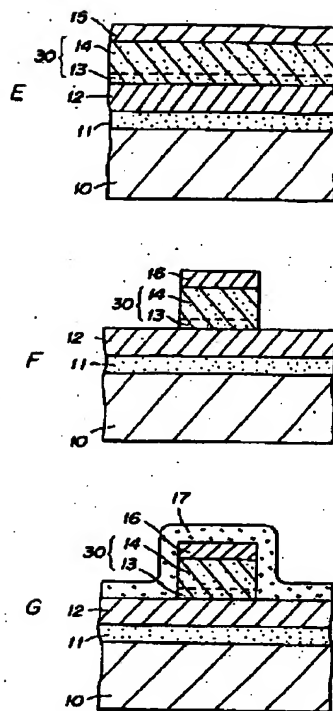
第3図



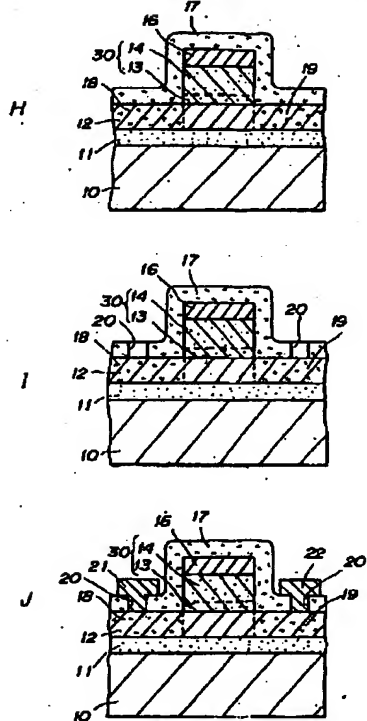
第4図



第4図



第4図



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-164362

(43)Date of publication of application : 27.08.1985

(51)Int.Cl.

H01L 29/78

H01L 27/12

H01L 29/62

(21)Application number : 59-019754

(71)Applicant : SONY CORP

(22)Date of filing : 06.02.1984

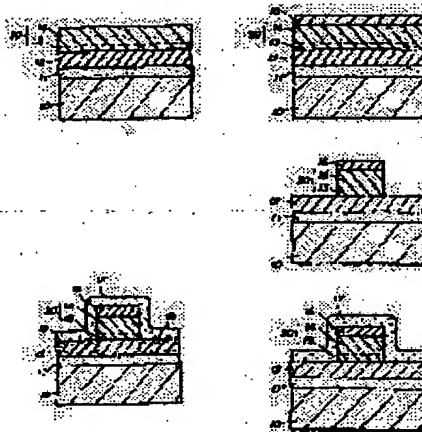
(72)Inventor : OOSHIMA TAKEFUMI  
HAYASHI HISAO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To improve the controllability of thickness of polycrystalline silicon layer and gate oxide film while eliminating any leak current from the gate oxide film by a method wherein after forming a gate electrode on an oxide film by CVD process, a source region and a drain region are formed utilizing the gate electrode as a mask.

**CONSTITUTION:** An oxide film 14 is formed on a thermal oxide film 13 by CVD process. A gate oxide film 30 is formed on a polycrystalline silicon layer 12 by laminating the thermal oxide film 13 and another oxide film thus formed. Firstly an impurity added polycrystalline silicon layer 15 is formed on the oxide film 14 by CVD process. Secondly the silicon layer 15, the oxide film 14 and the thermal oxide film 13 are etched to form the layer 15 after etching process into a gate electrode 16. Thirdly a silicon glass film 17 is formed by CVD process etc. Finally phosphorus contained in the silicate glass film 17 may be diffused in said polycrystalline layer 12 to form a source region 18 and a drain region 19 utilizing the gate electrode 16 as a mask for selective diffusion.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office